

ZVS回路の大容量化に関する研究

Research on Increasing the Capacity of ZVS-circuit

上野 崇寿¹, 古川 隼士², 佐久川 貴志³
 Takahisa Ueno¹, Takashi Furukawa², Takashi Sakugawa³

1 大分工業高等専門学校, 2 北里大学, 3 熊本大学

1 National Institute of Technology, Oita College, 2 Kitasato University, 3 Kumamoto University

1. はじめに

近年の高電圧応用技術の進化は著しく、プラズマ生成から生物応用までに多岐に渡る。それら高電圧を発生させるための電源装置には、マルクス型、トランス昇圧型等々あるが、いずれも半導体スイッチのスイッチングによって高電界生成を実現している。電源装置の出力容量は、ほぼ半導体によって決定され、スイッチング容量が大きく高価なモジュール型の素子が使われることも多い^[1]。

本研究では、安価なディクリット型半導体素子を用い、ソフトスイッチングが可能なZVS (Zero Voltage Switching) 回路によってパルス状高電圧を出力したので報告する。

2. ZVS回路

2.1 ZVS回路の作成

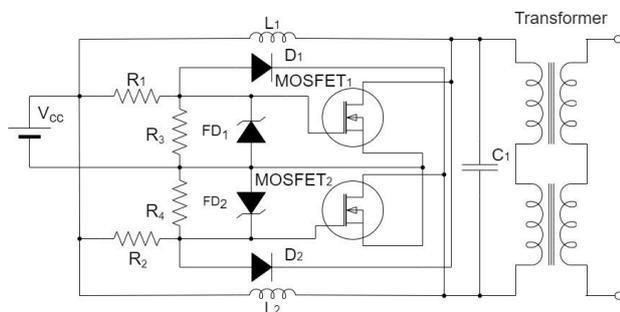


図1 ZVS回路図

MOS-FETを用いたZVS回路を図1に示す。MOS-FETの個体差によりいずれかが先にターンオンし、変圧器の1次側自己インダクタンスと C_1 からなるLC共振回路に共振電流が流れる。MOS-FET₁が先にターンオンした場合、ダイオード D_1 はターンオン、 D_2 はターンオフとなる。共振によって D_2 の電位が変化し、ターンオンすると、ゲートを通じてMOS-FET₁がターンオフする。MOS-FET₁のターンオフにより、 D_1 はターンオフする。この時、MOS-FET₂にベース電圧が発生しターンオンする。これを繰り返すことでLC共振が維持される。2次側には変圧器の巻数に応じた出力電圧が発生する構造となっ

ている。

本実験では、MOS-FET (Infineon Technologies, IRFP4568)、二次側が高巻数の変圧器 (ETC, BSC25-T1010A) を用いた。入力電圧 $V_{in} = 12\text{ V}$ 、コンデンサ容量 $C_1 = 8.8\ \mu\text{F}$ 、負荷抵抗 $R_{load} = 10\ \text{k}\Omega$ とし、作成したZVS回路の出力電圧 V_{out} の波形を確認したところ、最大 $11.2\ \text{kV}$ のパルス状電圧波形が $52.2\ \mu\text{s}$ の周期で繰り返されていることを確認した (図2)。

2.2 静電容量変化実験

入力電圧 $V_{in} = 12\ \text{V}$ 、一次側巻数を8巻、負荷抵抗 $R_{load} = 10\ \text{k}\Omega$ とした場合のコンデンサ C_1 の変化に対する出力電圧の関係を確認した。出力電圧の変化を図3に示す。静電容量の増加に伴い出力電圧も上昇するが、静電容量を $6.6\ \mu\text{F}$ より増加させると、その電圧に飽和がみられた。このとき変圧器の個数を増加させると出力電圧も増加し、3直列の変圧器で $17.8\ \text{kV}$ のパルス状高電圧を確認した。

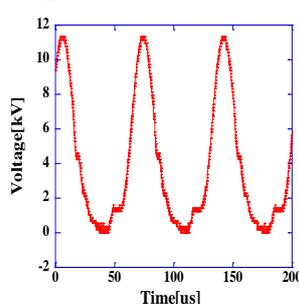


図2 ZVS回路出力波形

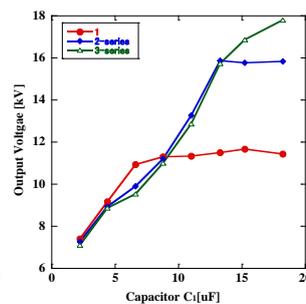


図3 出力電圧変化

3. まとめ

大容量化を目的として、ZVS回路を作成し、その特性試験を行った。回路中の静電容量および変圧器の直列接続数の増加によって、最大 $17.8\ \text{kV}$ のパルス状高電圧が得られた。

参考文献

[1] Fei Wang, A. Kuthi, M.A. Gundersen, Compact high repetition rate pseudospark pulse Generator, IEEE Transactions on Plasma Science, Vol.33, No.4, pp.1177 - 1181 (2005)