

小特集 水中難分解性物質の低環境負荷処理に挑戦する放電プラズマ技術

4. 気液界面プラズマの形成と高耐圧SiC-MOSFETを用いた小型高電圧パルスパワー電源の開発

4. Generation of Plasma in Contact with Water Surface and Development of Compact Pulsed Power Generator Utilizing SiC-MOSFET with a High Blocking Voltage

高橋克幸¹⁾, 高木浩一^{1,2)}, 黒岩丈晴³⁾, 坂本邦博³⁾

TAKAHASHI Katsuyuki¹⁾, TAKAKI Koichi^{1,2)}, KUROIWA Takeharu³⁾ and SAKAMOTO Kunihiro³⁾

¹⁾岩手大学理工学部, ²⁾岩手大学次世代アグリイノベーションセンター,

³⁾産業技術総合研究所先進パワーエレクトロニクス研究センター

(原稿受付: 2023年11月9日)

プラズマの発生には、蓄積したエネルギーをナノ秒からマイクロ秒の時間で放出し、高電圧パルスが発生するパルスパワー技術が有用である。ここでは、気液界面プラズマを発生するために用いる電極系を放電回路として置き換え、等価的な電気回路として扱った場合の特性について概説する。それを踏まえ、それぞれの放電系に適した高電圧パルスパワー電源を設計手法とともに、装置の小型化への大きな貢献が期待できる、耐圧13kV SiC-MOSFETの特徴とそれを用いた誘導エネルギー蓄積型の電源システムを紹介する。

Keywords:

plasma in contact with water surface, equivalent circuit model, pulsed power generator, semiconductor switch, SiC MOSFET

4.1 はじめに

高電圧・パルスパワーを用いて、液面上でプラズマを発生することにより、プラズマ由来のヒドロキシラジカルなど酸化力が強い化学的活性種を、水中に溶け込ませることができる。これを利用した水処理方式は、他の処理方式にはない特徴として、高濃度の難分解性有機化合物を短時間かつ高効率で分解可能であること、化学的活性種を、電気エネルギーのみでpHに依らず、局所的に直接生成可能であり、処理プロセスとして操作性と制御性が高いことなどの利点を持つ。また、プラズマから発生した化学的活性種は、有機化合物だけではなく、水中に含まれる細菌の不活化が可能である。そのため、環境浄化だけではなく、農業や医療といった広い分野での応用が期待できる[1-4]。

パルスパワーはエネルギーを時間的・空間的に圧縮することで高電圧、超大電力を得る技術であり、軍事技術への応用や、高密度プラズマの生成、重イオン慣性核融合などの応用として発展してきた。一方、近年では非平衡プラズマの生成やそれを用いてのオゾン生成や環境浄化、農業利用、医療技術などへの応用が幅広く展開されている[5-8]。これらの応用においては、超大電力を限られた回数で発生する従来の大型のパルスパワー発生装置とは異なり、小型で比較的小さなエネルギーの高圧パル

ス電圧を、高繰り返しで発生可能な装置が主に用いられる。特に、前述した農業や医療といった分野での応用においては、小型で安定動作が可能なパルスパワー発生装置が求められ、その設計が重要となる。

本章でははじめに、パルスパワー電源を用いて発生した気液界面プラズマの特性を、当回路モデルを用いて概説する。そこで必要となる、パルスパワー技術について、小型化を可能とする半導体利用パルスパワー電源の特徴を例と共に概説する。特に今後、装置の小型化への大きな貢献が期待できる、耐圧13kV SiC-MOSFET (Metal-oxide-semiconductor field effect transistor) の特徴について紹介する。

4.2 気液界面プラズマの電気的特性

液中で直接プラズマを形成するためには、高圧電極と接地電極を液中に設置することが必要となる。その場合、電極間には導電率に依存する抵抗が接続されることとなり、プラズマ形成の有無に依らず、電極間に導電電流が流れる。特に、高導電性の溶液を扱う場合は、溶液のジュール加熱によってエネルギーが損失され、溶液処理効率が著しく低下する[2]。また、液中でのプラズマ形成にはより大きな電力が必要となり、大面積化にはより大きな電源が必要となる。そのため、液面上や気泡内に高圧電極

Faculty of Science and Engineering, Iwate University 4-3-5, Ueda, Morioka, IWATE, 020-8551, JAPAN

corresponding author's e-mail: ktaka@iwate-u.ac.jp

を設置することで、電極を液体と絶縁し、気液界面に放電する手法が広く用いられている(図1)．[9-12]ここでは、気泡を生成するためにガスを導入したガラス管内に線電極を設置し、高圧電極として用いている．接地電極を液中に設置することで、液体の電位を接地としている．

図2に、気泡内で放電を発生した場合の、負荷の放電等価回路を示す[13]．ここで、 $Z_{PG(t)}$ は放電のインピーダンスを示す． C_G 、 C_L はそれぞれ、気相中の線電極と気泡界面間および、気泡界面と水中の接地電極間の静電容量を示す．また、 R_L は、溶液の抵抗成分を示し、溶液の導電率に依存する．ここで、高圧電極は、ガラス管内部すなわち、気相中に設置してあり、気相によって溶液と絶縁されている．そのため、絶縁破壊が生じるまでは、 C_G および C_L に変位電流が流れる．印加電圧が、絶縁破壊電

圧を超えると、 SW_1 がオンとなりストリーマ放電が気泡内に進展する．

気相中の電極から進展した放電が、気泡表面に到達し、電極と液面間が放電によって導通されると、溶液の導電率が低い場合は、 R_L は大きい値となる．印加電圧のパルス幅が R_L と C_L すなわち、誘電率 ϵ を導電率 σ で除することによって求まる時定数よりも十分に短い場合は、溶液は誘電体となり、コンデンサ(C_L)のみとして扱うことができる．この場合、放電が気泡表面に到達すると、放電を介して気泡表面に電荷が蓄積され、放電は消弧される．しかし、溶液の導電率がある程度高く、 R_L が低い場合、溶液は抵抗体として扱われる．このとき、気泡表面に到達した放電($Z_{PG(t)}$)を介し溶液すなわち、 R_L に電流が流れる．この導電電流は、ガスを加熱し放電抵抗($Z_{PG(t)}$)を低下させ、アーク放電への転移などによるさらなる電流の増加を招く．これにより、化学的活性種の生成量の低下[14, 15]や、ジュール熱でのエネルギー損失を引き起こし、汚水の処理効率を低下させる．そのため、ガスの加熱を抑制するために、放電の進展に併せた適切な電圧波高値やパルス幅の電圧を印加することが重要となる．

一例として、図3に、印加電圧を変化した場合の、気泡内放電による電極間のインピーダンスおよび、プラズマのインピーダンスおよび水の抵抗で消費されるエネルギーの割合の変化を示す[13]．ここで、電源は後述するような半導体素子である静電誘導(SI; Static induction)サイリスタを用いたパルス電源を用い、溶液導電率は $750 \mu\text{S}/\text{cm}$ であり、気泡内に放電が一樣に広がっているとして放電抵抗を見積もっている．また、注入ガスはアルゴンである．図より、電圧の上昇に伴い放電のインピーダンスが低下し、放電での消費エネルギーの割合が低下していることがわかる．また、図4に、パルス幅を半値幅で 160 ns および、 800 ns と調整し、気泡内放電を発生した場合の電圧電流波形および、放電に消費されるエネルギーの一例を示す[16]．このとき、注入ガスはアルゴンとし、溶液の導電率は $128 \mu\text{S}/\text{cm}$ としている．図より、パルス幅を 160 ns とした場合では、電圧値が最大となった時点で放電が消弧され、消費エネルギーはほぼ一定となっている．一方、パルス幅 800 ns とした場合では、電

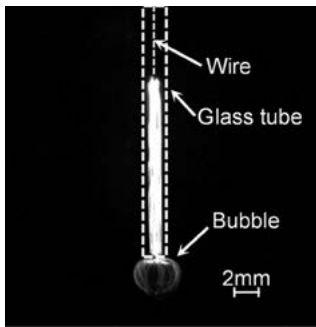


図1 気泡内放電の様子.

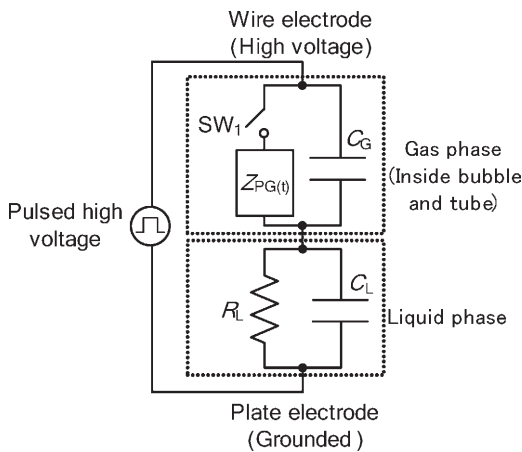


図2 気泡内放電の等価回路.

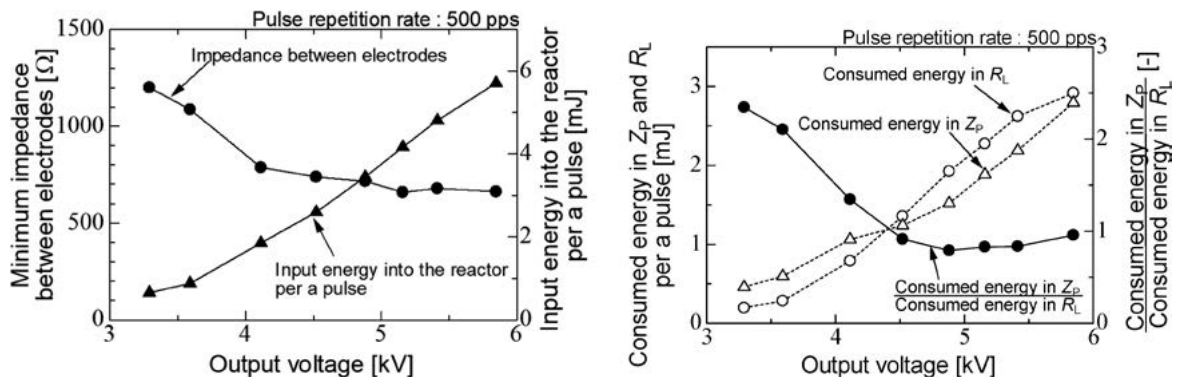


図3 (a)電極間のインピーダンスとリアクタに投与されたエネルギーおよび、(b) Z_p と R_L で消費されるエネルギーと Z_p と R_L で消費されるエネルギーの比の印加電圧依存性.

圧が印加されている間は放電が持続され、エネルギーが消費され続けている。このエネルギーは主にジュール損失として熱となり、化学的活性種の生成への寄与は少なく、効率が低下する。導電率が非常に高い場合の対処として、電源回路と電極に直列にコンデンサを接続する手法も提案されている。

図5に、化学的活性種の生成量を評価する目的で染料溶液（インジゴカルミン）の脱色実験を行った場合の、導電率に対する脱色のエネルギー効率の変化を示す[14]。ここで、パルス幅による影響の検討を目的として、電源と

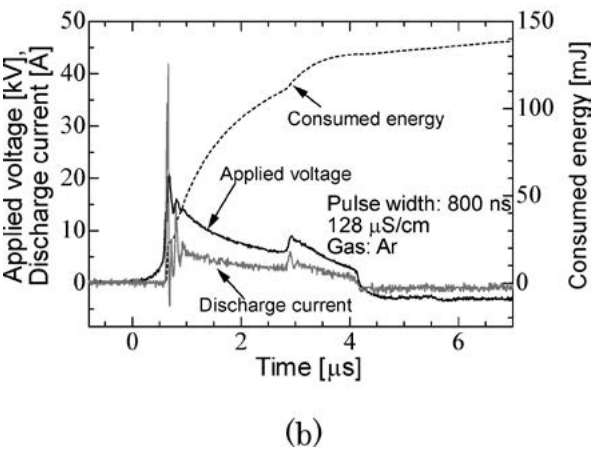
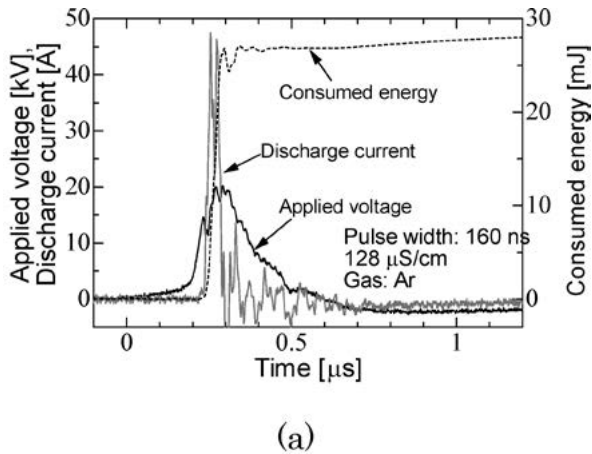


図4 パルス幅を (a)160ns および (b)800ns とした場合に気泡内放電が発生した場合の電圧・電流・リアクタへの投与エネルギー波形の一例。

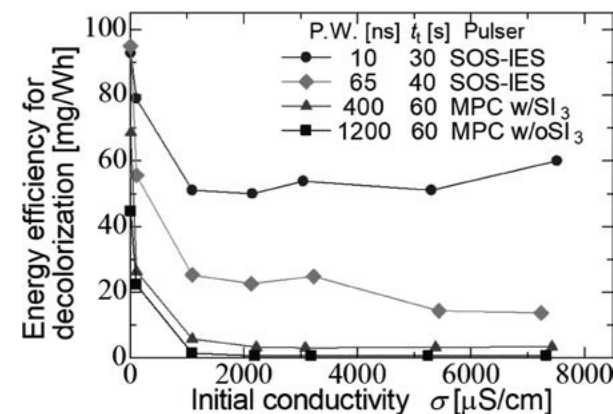


図5 溶液導電率の染料溶液脱色におけるエネルギー効率への影響。

して半導体オープニングスイッチ (SOS; Semiconductor Opening Switch) ダイオードを用いた誘導性エネルギー蓄積型 (IES; Inductive energy strage) パルスパワー電源 (SOS-IES) と、磁気パルス圧縮 (MPC; Magnetic pulse compression) 回路を用いた電源を使用し、パルス幅 (P.W.) を変化させている。染料溶液の脱色は主に、後述するヒドロキシラジカルやオゾンといった化学的活性種が寄与する。図より、パルス幅の増加とともに脱色効率が低下していることから、化学的活性種のエネルギー効率が低下しており、導電率の増加とともにパルス幅の影響は顕著となる。図2に示したように、電流は放電と溶液を介して流れるため、特に導電率が高い溶液の場合、パルス幅の影響が大きい。この結果より、導電率が高い溶液の処理においては、印加電圧の短パルス化は、ジュール損失による効率低下を防ぐために重要となる。

これらのことから、気液界面放電に用いる電源としては、比較的输出インピーダンスが高くとも、短パルスで放電一回あたりのエネルギーを抑えることが重要であることがわかる。また、処理速度を高めるためにはパルスの高周波数化が必要となるため、安定した動作回路が必要となる。これらを踏まえ、以降の章ではパルスパワー技術の概説と共に、半導体としてSiC-MOSFETを利用したパルス電源の例を述べる。

4.3 パルスパワー電源の構成

パルスパワー電源は、図6に示すように主に、1次電源を充電する充電部、充電したエネルギーを放出するスイッチ部、波形形成部、伝送部として構築される。電気エネルギーの貯蓄方式としては、容量性電磁エネルギー貯蓄 (CES; Capacitive energy storage) 方式 (図7(a)), IES方式 (図7(b)) が広く用いられる[17]。CES方式では、エネルギーをコンデンサに電界の形態で貯蓄し、短絡型スイッチを用いてエネルギーの取り出しが行われる。IES方式は、インダクタに磁界の形態でエネルギーを貯蓄し、装置の重量、体積あたりのエネルギー密度がCES方式と比較し数十~数百倍高い。そのため、軽量・小型のパルスパワー電源を低コストで制作できることから、幅広い応用が期待されている。IES方式では、エネルギーの取り出しには開放型スイッチが用いられる[8]。

高電圧パルス発生装置の重要な部品となるスイッチには従来、短絡型スイッチとしてはギャップスイッチやサイラトロンなどの気体放電を利用したもの、開放型スイッチとしてはワイヤ溶断方式などが用いられてきた。これらの方式は耐圧や伝送電力の制約がなく、高電圧、大電力の出力が得られる一方で、スイッチの寿命やメンテナンス、安定動作において大きな課題があった。そのため、近年は固体素子として、短絡型には磁気スイッチ[18]や、

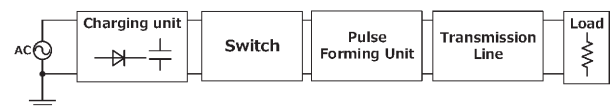


図6 パルスパワー電源の構成。

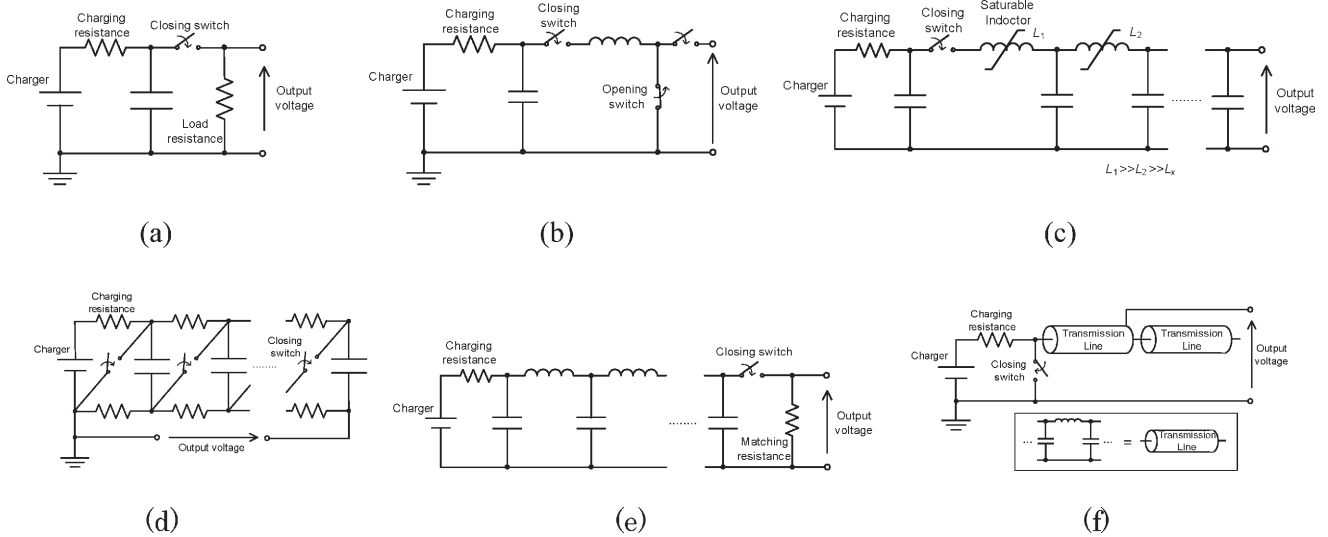


図7 パルス電源方式の例(a)容量性電磁エネルギー貯蓄方式, (b)誘導性電磁エネルギー貯蓄方式, (c)磁気パルス圧縮回路, (d)マルクス発生回路, (e)パルス形成回路, (f)ブルームライン線路型パルス発生回路.

MOS-FET[19], サイリスタ[20]等が, 開放型にはSOSダイオード[21, 22]等が代替として検討されている. 特に半導体デバイスは, 耐圧や動作速度など, スイッチの基本特性では放電スイッチに及ばないものの, 長寿命, 制御が容易などと高繰り返し動作に適しているだけではなく, 比較的安価, 小型であるため注目されている. 一方で, 半導体の伝送容量, 動作速度はトレードオフの関係にあることから, 半導体パルス電源発生器は高出力と高速動作を同時に実現することは困難であったが, 近年の研究によりさらなる高耐圧・大容量の素子が普及しつつある.

電源方式の一例を図7に示す. 電源の出力インピーダンスの計算手法は方式によって異なり, CES方式電源の方が容易にインピーダンスを低くすることができる. 容量性電磁エネルギー貯蓄方式電源としては, 過飽和インダクタを用いたMPC回路(図7(c))やマルクス回路(図7(d)), 伝送線路を用いたパルス形成ネットワーク(PFN; Pulse forming network)回路(図7(e))やブルームライン型線路(図7(f))などがあり, より低インピーダンスな負荷への使用も可能となる. 一方, IES方式はインダクタを用いたパルス形成を行うため, インピーダンスとしては比較的高くなるが, 小型軽量化が可能となる. IES方式電源としては, ファストリカバリダイオード[14, 22]や, SIサイリスタをSOSとして用いた電源[13, 20]や, 漏れインダクタを利用した方式[23]などが開発されており, 小型かつ高繰り返し動作が可能となっている.

電源の特性としては, 一次エネルギーのうち負荷へ転送された割合を示すエネルギー転送効率が重要となる. 水中で直接プラズマを形成するには, 高圧電極と接地電極いずれも水中に設置する必要がある. 特に導電性が高い溶液の場合は, 電極間に導電電流が流れること, 水中放電の生成には大電流が必要であることなどから, 大容量のプラズマ生成には出力インピーダンスが低いパルス電源が必要となる. そのため, 電源の出力インピー

ダンスと負荷のインピーダンスの整合を十分に考慮しなくてはならない. 一方で, 気液界面プラズマにおいては後述するように, 高圧電極を気中に設置するため気体により電極が絶縁されている. また, 気中放電発生に要する電流も比較的低いことから, 負荷のインピーダンスは比較的高い. そのため, IES方式を用いることにより, 比較的小型のシステムでの運用が期待できる.

4.4 高耐圧型SiC-MOSFETの特性とその利用によるパルス電源の構築

前述のように半導体素子には多くの種類があるが, ここでは高電圧・大電流を高速にスイッチングが可能となるSiC-MOSFET素子の一例について紹介する.

4.4.1 半導体材料

半導体素子の1種であるMOSFETは比較的小容量・高速な素子であり, これまでは半導体構造の工夫により高耐圧化, 低損失化を達成してきた[24, 25]. しかし, 現状以上の性能を実現するには, 現在まで広く使われているシリコン(Si)材料の物性値に起因した性能限界の点から難しい. 近年, 新世代のパワー半導体として, バンドギャップの広いSiCやGaNが注目されている[26, 27]. どちらの材料も現在主流のSiと比べて絶縁破壊電界が10倍ほど大きく, 低損失のスイッチ素子が実現できる. SiCはSiと比べて, バンドギャップが約3倍高く, 高温動作が可能である. また, 飽和ドリフト速度が約2倍であり, スwitchング速度を高めることができる. さらに, 絶縁破壊電界が約10倍高く, 同耐圧下で比較した場合, 固有オン抵抗を1/1000程度にすることが可能となる. そのため, 同耐圧のSiと比較し, 単位体積当たりのエネルギー損失も同様に1/1000程度とすることができる[28]. さらに, SiCの熱伝導率はSiよりも3倍ほど大きいので, 熱拡散がよく, 機器の冷却の省略化も可能である[29, 30]. 良好な単結晶基板が市販されているSiCでは, 基板の厚み方向に電流を流す縦型のトランジスタが開発されている.

縦型素子は高耐圧で大電流を扱う大電力素子に向け、電車のインバータ向けに耐圧3.3 kVの素子が実用化されている。一方GaNでは、単結晶基板がまだ開発途上のため、Siウエハ上に形成したGaN単結晶薄膜表面に電流を流す横型のトランジスタが実用化されている。薄膜を使う素子構造上、高耐圧を得るのが難しいが、600 V程までならGaNの高移動度を活かした高速スイッチに向く。

4.4.2 耐圧13 kV, 3.3 kV SiC-MOSFETの構造

ここでは、耐圧13 kV SiC MOSFET[31]を中心に、3.3 kV耐圧素子[32]について併せて述べる。図8(a)は耐圧13 kV MOSFETのソース・ゲート近傍断面の電子顕微鏡写真である。写真の奥行き方向に同一構造が続く。図でhalf-Unitと示した範囲にあるのが、MOSFETひとつに相当する。このMOSFETが2つ背中合わせにゲートとドレインを共有した単位構造が10 μm周期でチップ上に並ぶ。このようにパワーMOSFETは小さなMOSFETが多数並列接続されたものである。この構造は、耐圧13 kVと3.3 kVのMOSFETで基本的に変わらない。

MOSFETが導通するときは、ソース端子に接続された金属電極から電子が高濃度n型SiCのn⁺ソースに入り、ゲート電圧でp型のp body表面に誘起された導通チャネルを横方向に流れ、低濃度n型のn⁻ドリフト層に流れこむ。そこで向きを下に変え、写真はるか下の基板裏面のドレイン電極に達する。ゲートに0あるいは若干の負電圧を印加すると、導通チャネルが閉じMOSFETが遮断する。ソース・ドレイン間電圧がp bodyとn⁻ドリフト層間のpn接合にかかり、空乏層が広がる。この空乏層がMOSFET遮断時の電圧を支える。耐圧を高くするには、n⁺ SiC基板上にエピタキシャル成長するn⁻ドリフト層を厚くし同時に濃度を下げる必要がある。耐圧13 kVと3.3 kVのSiC MOSFETでn⁻ドリフト層の構造が大きく異なり、層厚と濃度はそれぞれ、150 μm、5 × 10²⁰ m⁻³と30 μm、3 × 10²¹ m⁻³である。したがってドリフト層抵抗は、耐圧

のほぼ2乗で増大し、耐圧と導通抵抗が相反関係になる。

加工を終えたSiCウエハから、図8(b)のような7 mm角のMOSFETチップが切り出される。チップ表面の周縁部には、終端と呼ばれるチップ端面の電界集中を緩和して放電を防ぐ構造がある。その内側がトランジスタとして有効な活性領域になる。耐圧に応じた終端幅が必要で、耐圧13 kV MOSFETでは0.75 mmとなる。高耐圧になるほど終端による有効面積の目減りが大きい。

チップは、リードフレームにはんだ付けされ、ワイヤー接続、樹脂モールドの過程を経て、回路基板に装着できるモールドパッケージに完成する。図8(c)に、耐圧13 kV半導体素子の実装用に開発した小型パッケージ[33]を示す。外型はTO-268パッケージと同一寸法で、13 kVの耐圧を持ちながら体積1.2 × 10⁶ m⁻³に収まる。これが後述する高電圧パルスパワー回路の小型化に寄与している。標準TO-268パッケージでは、裏面に露出したドレイン電極が電気接続とチップ放熱を担うが、開発品は、ドレイン・ソース間の耐圧を確保するために、パッケージ裏面をリブ付の樹脂で覆いドレイン電極をソースと反対側のパッケージ端に離して、沿面放電距離を確保している。副作用で放熱性が低下するが、デューティ比が小さい短パルス電源なら差し支えない。なお、耐圧3.3 kVのMOSFETは標準TO-247パッケージに実装されている。

4.4.3 耐圧13 kV, 3.3 kV SiC-MOSFETの性能

図9(a)に、耐圧13 kV SiC-MOSFETのドレインに抵抗(R_L)を接続し、ドレイン電流*i_D*を20 Aに固定するよう入力電圧(V_{DD})を変化し、MOSFETをスイッチングした場合の、立ち上がり時間(*t_R*)、立ち下がり時間(*t_F*)、ターンオン遅延時間(*t_{D(ON)}*)、ターンオフ遅延時間(*t_{D(OFF)}*)を示す[34]。図より、立ち上がり時間は50~60 ns、立ち下がり時間は18~50 nsであり、急峻な電流遮断が可能であることがわかる。MOSFETの立ち下がり時間はMOSFETの寄生容量であるドレイン-ソース間容量と負荷抵抗R_Lの積に依存する。そのため、負荷抵抗が小さいほど高速な電流遮断が可能となる。図9(b)に、ドレイン抵抗を短絡しスイッチングを行った場合に、ドレイン-ソース間電圧による最大のドレイン電流と、オン抵抗の依存性を示す。図より、本素子では最大で100 A程度の電流を安定して流すことが可能である。抵抗値はドレイン電流による温度上昇により変化があるが、概ね0.86~10 Ω程度と低い値を保つことが可能である。200℃の高温状態でも安定して動作が可能である。これらのことから、本素子は大電流の急激な遮断が重要となるIES電源への適合性も高いことがわかる。図10に、耐圧3.3 kV SiC-MOSFETに同様の試験を行い評価した、(a)立ち上がり時間(*t_R*)と立ち下がり時間(*t_F*)のドレイン抵抗依存性、(b)ドレイン-ソース間電圧による最大のドレイン電流を示す[35]。図より、耐圧13 kV素子と比較し、最大ドレイン電流は大きくなり、低抵抗時においてスイッチング時間も短くなることがわかる。スイッチング時のオン抵抗は23℃において0.08 Ω程度、200℃において、0.23 Ω程度となり、より大電流のスイッチングが可能となる。

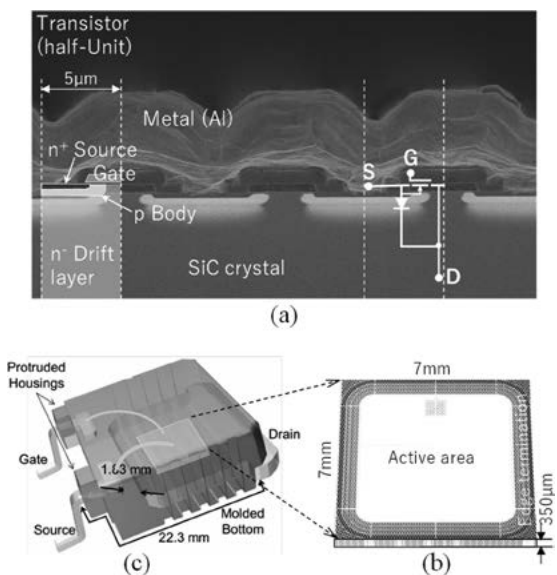


図8 耐圧13 kV SiC-MOSFETの構造 (a)ソース・ゲート近傍断面の電子顕微鏡写真、(b)チップの概観、(c)パッケージの概観。

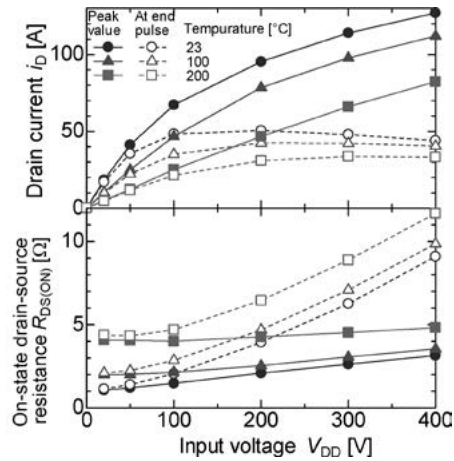
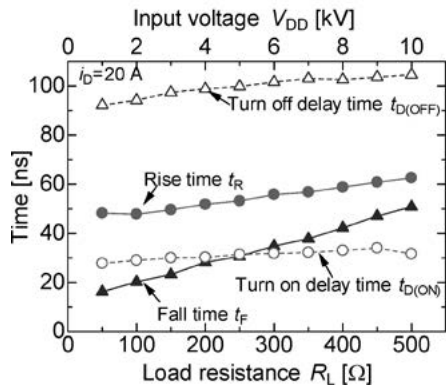


図9 耐圧13 kV MOSFET の特性 (a)スイッチング時間 (b)最大ドレイン電流とオン抵抗.

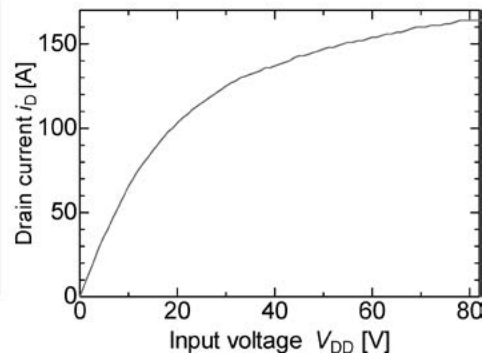
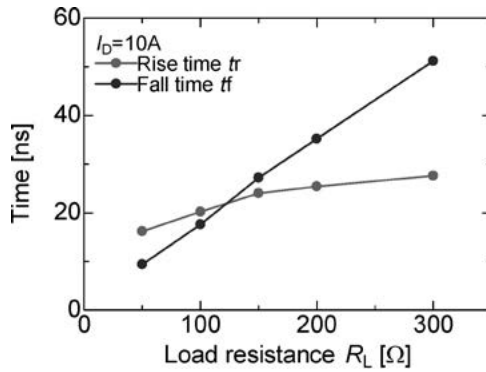
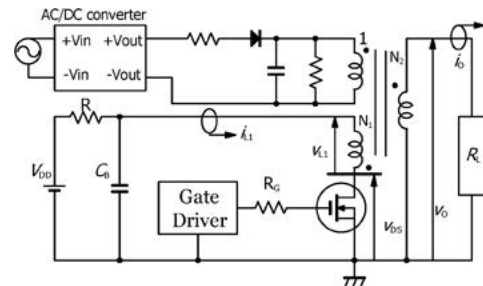


図10 耐圧3.3 kV MOSFET の特性 (a)スイッチング速度 (b)最大ドレイン電流.

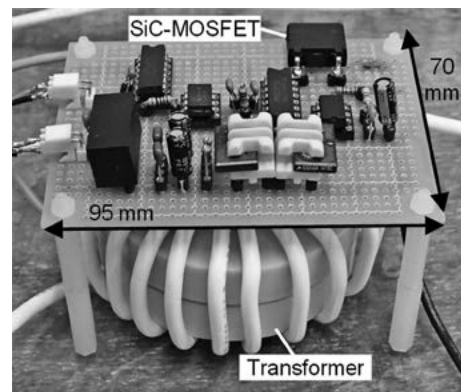
4.4.4 耐圧13kV MOSFETを用いた IES型電源

図11に、耐圧13kV MOSFETを用いた IESパルス電源の回路図とその外観を示す[34]. 直流電源 (V_{DD}) から $500\text{ k}\Omega$ の充電抵抗 R を介し、コンデンサ C_B に電荷が蓄えられる. MOSFET がターン・オンすると負荷抵抗 R_L を介し電流が流れ、一次側インダクタにエネルギーが蓄えられる. MOSFET がターン・オフすると MOSFET のドレイン-ソース間および一次側インダクタに誘導起電圧が印加される. 誘起された電圧は、可飽和トランス (日立金属, FT-3H, 断面積 $2.6 \times 10^3\text{ mm}^2$, 磁路長 $3.2 \times 10^3\text{ mm}$, 巻き数比 5:15) を介して、二次側インダクタへ昇圧され、負荷抵抗 R_L に電流が流れる. 1 次側回路の上側にはリセット回路を設け、可飽和トランスの残留磁束をリセットさせている.

図12に、 V_{DD} を 1.1 kV とした場合に、負荷抵抗を開放したときの回路各部の電圧・電流波形を示す. 0 ns から 550 ns に到達するまでに i_{L1} は約 40 A となり、MOSFET のターン・オフ後に v_{DS} , v_{L1} の誘導起電圧の最大値が 11.7 kV , 10.5 kV となった. 可飽和トランスを介して、 v_0 の最大値は 31.4 kV が得られた. 電圧のパルス半値幅は、 v_{L1} が 66 ns であるのに対し、 v_0 のパルス半値幅は 55 ns となる. エネルギー転送効率は、負荷抵抗 R_L が $2.5\text{ k}\Omega$ において最も高効率であり、 50% が得られた. これは軽負荷では出力電流が小さいため、負荷抵抗での消費エネルギーが小さく、重負荷では、充電期間のエネルギー消費が大きく、電流遮断後の消費エネルギーが小さくなっている



(a)



(b)

図11 耐圧13 kV MOSFET を用いた IES 電源 (a)回路図 (b)概観.

ためである. このように、高耐圧 MOSFET を用いることにより小型軽量なパルス電源を容易に構築することが可能となる.

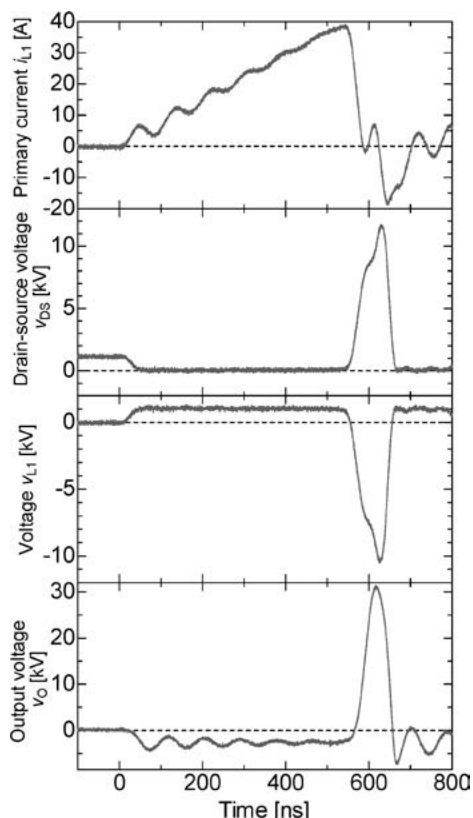


図12 耐圧13 kV MOSFET を用いた IES 電源の波形例。

4.5 まとめ

本章では、気液界面プラズマを等価的な電気回路として置き換えた場合の特徴と、それに適する電源方式をパルスパワー技術の基礎的な理解と共に概説した。また、高耐圧 SiC-MOSFET を用いることによって、昇圧パルストランスを用いたとき、巻き線比を小さくすることにより 2 次側のインダクタンスを小さくできる利点があり、急峻なパルス電圧の発生が可能となる。また、小型にも関わらず安定してパルス幅が短い高電圧パルスを発生することができることから、種々の応用への展開が期待できる。

謝辞

本研究の一部は、「令和元年度科学研究費助成事業（基盤研究 S：19H05611）」のための支援事業の補助ならびに、つくばパワーエレクトロニクスコンステレーション (TPEC) の事業で実施された。

参考文献

[1] N. Takeuchi and K. Yasuoka, *Jpn. J. Appl. Phys.* **60**, SA0801 (2021).
 [2] K. Takahashi *et al.*, *Sewage - Recent Advances, New Perspectives and Applications; Chapt.1 A Novel Wastewater Treatment Method Using Electrical Pulsed Discharge Plasma over a Water Surface* (IntechOpen Ltd., London, 2021).

[3] V.V. Kovačević *et al.*, *J Phys D Appl Phys.* **55**, 473002 (2022).
 [4] P.J. Bruggeman *et al.*, *Plasma Sources Sci. Technol.* **25**, 53002 (2016).
 [5] H. Akiyama *et al.*, *IEEE Trans. Dielectr. Electr. Insul.* **14**, 1051 (2007).
 [6] K. Takaki *et al.*, *Rev. Modern Plasma Phys.* **5**, 12 (2021).
 [7] R.P. Joshi *et al.*, *IEEE Trans. Plasma Sci. IEEE Nucl. Plasma Sci. Soc.* **51**, 1682 (2023).
 [8] S.N. Rukin, *Rev Sci Instrum.* **91**, 011501 (2020).
 [9] K. Takahashi *et al.*, *IEEE Trans. Plasma Sci.* **38**, 2694 (2010).
 [10] J. Li *et al.*, *Thin Solid Films* **515**, 4283 (2007).
 [11] D. Levko *et al.*, *J. Phys. D. Appl. Phys.* **49**, 285205 (2016).
 [12] A. Hamdan and M.S. Cha, *J. Phys. D: Appl. Phys.* **49**, 245203 (2016).
 [13] K. Takahashi *et al.*, *IEEE Trans. Plasma Sci.* **47**, 1105 (2019).
 [14] S. Kawano *et al.*, *J. Phys.: Conf. Ser.* **441**, 012007 (2013).
 [15] R. Ono *et al.*, *J. Phys. D Appl. Phys.* **44**, 485201 (2011).
 [16] K. Takahashi *et al.*, *J. Adv. Oxidat. Technol.* **15**, 365 (2012).
 [17] J. Mankowski *et al.*, *IEEE Trans. Plasma Sci.* **28**, 102 (2000).
 [18] D. Wang *et al.*, *IEEE Trans. Plasma Sci.* **38**, 2633 (2010).
 [19] W. Jiang, *IEEE Trans. Dielectr. Electr. Insul.* **14**, 947 (2007).
 [20] Li. Jia *et al.*, *IEEJ Trans. FM.* **130**, 573 (2010).
 [21] F. Zhao and M. M. Islam, *IEEE Electron Device Lett.* **31**, 1146 (2010).
 [22] S.A. Darznek *et al.*, *Tech. Phys.* **42**, 1170 (1997).
 [23] K. Takahashi *et al.*, *Jpn. J. Appl. Phys.* **52**, SL1014 (2023).
 [24] D. Ueda *et al.*, *IEEE Trans. Electron Device* **32**, 2 (1985).
 [25] B.J. Baliga, *IEEE Trans. Electron Device* **38**, 1568 (1991).
 [26] H. Okumura, *Jpn. J. Appl. Phys.* **45**, 7565 (2006).
 [27] B.J. Baliga, *IEEE Electron Device Lett.* **10**, 455 (1989).
 [28] 菅原良孝：電気学会誌 **118**, 282 (1998).
 [29] S.M. Sze：半導体デバイス（産業図書，2004）pp.81-90, 167-178.
 [30] 吉川明彦 他：ワイドギャップ半導体 あけぼのから最前線へ（培風館，2013）pp.65-71.
 [31] H. Kitai *et al.*, *Proc. 29th Int. Symp. Power Semiconductor Devices & ICs.* 343 (2017).
 [32] T. Tsuji *et al.*, *Mater. Sci. Forum.* **858**, 962 (2016).
 [33] H. Michikoshi *et al.*, *Proc. PCIM Europe* **2018**, 1464 (2018).
 [34] K. Takahashi *et al.*, *Rev. Sci. Instrum.* **92**, 064706 (2021).
 [35] 高橋克幸 他：電気学会論文誌 A **139**, 413 (2019).