



5. 実時間データ処理・演算の進展と課題

出射 浩

九州大学応用力学研究所高温プラズマ力学研究センター

(原稿受付：2010年7月25日)

これまでに多くの核融合プラズマ実験装置での加熱・計測装置等の運転において、実時間制御に対する取組みがなされてきた。ここでは、実時間データ処理・演算での並列処理・実時間性、データの扱い等、最近になって大きな進展が見られるハードウェア実装の現況を概説する。これら実時間制御システムのハードウェアは、実験室プラズマにおいても有用である。加えて、燃焼・高いベータプラズマでMHD安定性の裕度計算などの予測機能についても新たなハードウェア実装に触れ、実時間制御の進展と課題を紹介する。

Keywords:

real-time control, field-programmable gate array, reflective memory, PXI Express bus, MARG2D code

5.1 はじめに

これまでの章にて、燃焼・高ベータプラズマにおいて、空間的な連結性からプラズマの自律性の高く、さらにパラメータとなる温度、密度、圧力、回転によって異なる時定数を持つことが紹介された。プラズマパラメータの応答性の確認、実時間制御への取り組みが説明されている。これまでに成功を納めた原理実証実験を進展させ、高ベータプラズマの運転制御を行う上では、データ量の増大、複合時定数制御等への対応が必要となる。4章で触れられているように、プラズマパラメータの制御整定からのずれが小さくうちに正しく時間遅れなく観測し、制御することが重要となる。本章では、より正しく制御する上で重要となる実時間データ処理・演算の進展、さらに課題について触れる。

高性能プラズマの実現には、これまでに示されたプラズマの応答性を考慮にいれ、フィードバック制御で精度よく制御整定させることが重要である。制御整定の目標値を予め与え、それに沿うようアクチュエータを駆動する制御が、主に実時間オペレーティングシステム (R-OS) を用いた制御系で行われてきた。R-OS (Unix系ではVxWorks等) では、個々の処理操作が全体の時間遅延に影響しないよう、割り込み処理が有効に働くが、真の並列処理、実時間処理はできない。最近になって、並列処理、実時間処理が可能で、専用のFPGA (field-programmable gate array) ハードウェア回路を持つボードが比較的廉価に利用できるようになった。制御システムの処理速度によって、システムの制御性、安定性が決まる。安定性が高い制御を実現するためには、システムが一定の時間内に必要な測定を行い、処理・演算を行った後に、アクチュエータに制御指令 (出力) しなくてはならない。一般的に、その制御ループの時定数は、制御対象とする事象の時定数の10倍程度にする必要がある。並列・実時間性が高いFPGAシステムの

場合、制御ループの時定数はFPGAハードウェア回路の処理・演算速度でなく、測定時間、アクチュエータ動作時間等で決まる場合もある。「ずれが小さいうちに」観測し、データ処理・演算するには、計測データ取得での遅延が小さいことが重要となる。異なる機器制御コントローラ間のデータの共有を可能とするリフレクティブメモリ、さらにR-OSを介さずデータ転送速度が高いバス規格の利用が行えるようになってきている。

自律性の高いプラズマでは、細密な分布性が重要であり、それをめざした実時間制御が求められる。燃焼プラズマ運転では、制御目標を与えてフィードバック制御を行うことに加え、刻一刻と変わるプラズマパラメータから、場合によっては目標を修正しつつ、最終的に必要なプラズマ性能を得るといった先進制御が求められる。燃焼・高ベータプラズマの実現には、運転シナリオにそった制御に加え、異常の検知・回避も必要となる。目標の修正、異常の回避には、実時間でその時点での状態を評価し、次のプラズマの振る舞いを評価する「予測機能」が不可欠である。ここでは、MHD安定性の裕度計算によって異常の検知・回避を行うといった予測機能の構築に向けた最近の取り組みにも触れる。

本章では、最近のハードウェアの進展として、5.2節で並列処理、実時間処理が可能でFPGAシステムの概要、その処理能力を述べる。さらにFPGAシステムの実際の新古典ティアリングモード抑制実験への適用例を述べ、その有効性を示したい。5.3節では高速データ転送によるデータ共有機能を述べ、5.4節ではMHD安定性の裕度計算の実時間制御への組み込みを紹介する。FPGAハードウェアに加え、GPU (Graphical Processing Unit) やCell Broadband Engineといったマイクロプロセッサによる並列・実時間処理にも触れる。5.5節では複合・予測機能制御へと取り

組みと課題を述べる。

5.2 FPGA ハードウェアによる実時間制御

5.2.1 FPGA ハードウェア

実時間制御で用いられるPID制御を高速に行うための簡便なハードウェアとして、小型計測制御フレーム用に準備されている100 kHz 応答のアナログPIDコントローラがある。100 kHzの周波数応答でPID制御パラメータを変え、制御整定をめざすシステムの構築が可能である。現在の制御対象で最も速い現象として10 kHz程度の新古典ティアリングモードを考えた場合でも、100 kHzの周波数応答は、決して遅いわけではない。ただし、駆動すべきアクチュエータが必要とする制御指令信号が、例えばモータ駆動用のA/B相信号である等、多岐にわたる際、その適用には付加的な信号調整回路が必要となる。他の制御装置等と制御整定に必要な計測データを共有したり、複合制御したりする際には、さらにシステムが複雑になる。また、計測データを制御に用いる際に、高速フーリエ変換(FFT)などの複雑な処理・演算が必要な場合は、利用することができない。

複雑な演算を伴う大規模な制御システムとして、例に日本原子力機構のJT-60U装置でのプラズマ平衡制御をあげると、予め制御に必要なデータを大容量メモリ上に展開し、これを用いて高速演算する手法が取られている。プラズマ断面の楕円度・三角度を上げると、プラズマ閉じ込め時間が良くなるため、プラズマの断面形状制御が重要となる。断面形状に応じて、多チャンネルの磁気計測データが計測される。断面に応じて測定されるべき磁気計測データセットを計算で求め、予めメモリ上に展開しておくことで、多チャンネルの磁気計測データからプラズマの断面形状を1 kHzで解析し、垂直磁場制御コイルを用いて断面形状を制御する。

最近、複雑な演算を伴った実時間制御に比較的容易に対応可能なFPGAハードウェア、またそれに制御論理をソフトウェア的に構築するプログラミング環境の進捗が目覚ましく、ここで実時間制御のハードウェアツールとして紹介したい。FPGAボードに関し、最近、学会誌にFPGAを用いたパルス発生装置開発の研究論文が掲載されている[1]。FPGAボードは、必要な論理動作をマトリックスとなった(百万個単位の)論理ゲートICの回路経路、タイミング等を組み替えることで実現させるものである。ソフトウェア的なプログラミングを介して、その論理動作は再構成可能であり、この点に大きな特長を持つ。これまで、その論理動作、すなわち回路経路やタイミングを構成するために特殊なコーディングを必要としたが、最近では、グラフィカルなアプリケーション開発環境(National Instruments(NI)社製「NI LabVIEW」)でプログラミングすることが可能となった。FPGAボードで可能な論理動作は、内蔵されるゲート(フリップフロップ)の数や回路経路を決めるスイッチ数などで決まるが、実際にどの程度の規模の論理が構築可能かは、論理をソフトウェア的にプログラミングした後、実際にコンパイルして、ハードウェア

上に組み込めるかどうか確認してみないと分からない。

九州大学応用力学研究所高温プラズマ物理学研究センターでは、プラズマ位置・断面形状制御、電子バーンシュタイン波加熱・電流駆動装置用アンテナ制御のため、NI社製FPGAボードを用いた制御システムを開発している。ここで、どのような論理動作がどのくらいの速度で動作可能なかを示すために、標準的なFFT解析を実装した場合の試験結果を示したい。ここで、132個のデジタル入出力を持ち、制御対象に応じたアナログ-デジタル/デジタル-アナログ変換などのモジュール式フロントエンド部を選択し、カスタマイズされた入出力構成が可能なFPGAハードウェア(NI社: FlexRIO)を取り上げる。このFPGAボードは、FPGAクロック周波数をソフトウェア的に調整・設定できる。今回、プログラム経験の浅い技術者でも扱えるFPGA用のFFT解析関数を用いた。その場合でも、FPGAクロック周波数を108 MHzとして、16ビットの512サンプリングデータを0.2 msでFFT演算することが可能である。2/4/8チャンネルとチャンネル数を増やしてFFT演算しても、FPGA演算の並列性から演算時間は変わらない。プログラミングの技量を要するが、手間をかけ、より最適化されたプログラムにすれば、8チャンネル、16ビット、512サンプリング入力、0.02 msでのFFT演算も可能である。更にチャンネル数は少し減ってしまうが、高速なFFTの論理回路構成にすると、4チャンネル、16ビット、512サンプリング入力、0.01 msでのFFT演算も可能である。但し、実際の演算速度は、アナログ-デジタル変換器のサンプリング速度に左右されてしまう。九州大学で用いられているFPGAハードウェアは、750 kHzのアナログ入力が8チャンネル、1 MHzのアナログ出力が8チャンネル、FPGA動作クロックに同期した96チャンネルのデジタル入出力がボード上に実装されているタイプである。この場合、演算速度がアナログ入力のサンプリング速度により制限されるため、8チャンネル、16ビット、512サンプリングデータのFFT演算に2 msの時間を要す。このボードの場合、FPGA演算が入力データサンプリングで制限されてしまうが、基本的な入出力部が実装されており、比較的規模が小さく、少ないデータ数で閉ループが可能な機器制御、また実験室プラズマでの小規模制御ループに有用である。デジタル入出力も多く用意されており、アクチュエータで数多くのモータ駆動が必要な場合にも、それに応じたA/B相出力が可能である。

5.2.2 FPGAシステムを用いた実時間制御例

4.2.4節でJT-60U装置での局所電流駆動による新古典ティアリングモード(NTM)の安定化実験が説明された。他の核融合プラズマ実験装置でも、アクチュエータとなる電子サイクロトロン加熱・電流駆動のR-OS,PC,DSP(Digital Signal Processor)実時間制御システム[2]を用いて、同様の安定化実験が行われている。ここでは、FPGAシステムを用いた制御実験の例として、ドイツ・ユーリッヒ研究機構プラズマ物理研究所のTEXTOR装置で行われているNTM安定化実験[3]での制御性を紹介する。NTM抑制では、最も速い(~10 kHz)制御対象を扱うため、FPGAが最も有利な制御である。TEXTOR装置では、磁気島観測

で用いられる電子サイクロトロン輻射 (ECE) は、モード抑制に用いられる電子サイクロトロン電流駆動 (ECCD) ビームと同一視野で観測されている [3]。図 1 に TEXTOR 装置で準備された ECE 観測・ECCD 入射ビーム同一視野システムの概要を示す。観測 ECE 電力は 120 dB を超える比で ECCD 入射電力より小さく、一般的には、非常に微弱な輻射電力を大電力の入射電力と同一視野で扱うことは難しい。ECE 観測視野と大電力入射ビームを分ける誘電体板に熱的問題があるが、既に新たな同一視野システムが検討されており [4]、これらを用いた NTM 抑制実験が他の核融合プラズマ実験装置を含め計画されている。ECCD 入射ビームを用いた効率的なモード抑制には、磁気島の X/O 点に同期した局所 ECCD 入射が望ましい。同一視野システムでは、図 1 に良く示されるように、磁気島観測を行う ECE 計測位置と ECCD 入射位置を原理的に同一にでき、磁気島 O 点に同期した NTM 抑制実験が比較的容易に行えることが大きな利点である。同一視野でない場合、磁気島観測位置と入射位置の関係を磁気面解析で求める必要がある。図 2 に観測された NTM 発生時の ECE 計測で求められた電子温度分布の時間変化を示す。3 GHz ステップの 6 チャンネルの ECE 信号が FPGA/データ取得システムに

取り込まれている。温度の高いプラズマ内側では、磁気島 O 点通過によって温度が減少し、温度の低いプラズマ外側では、温度が上昇することが観測され、磁気島の内・外側で電子温度の時間変化は 180 度位相差が生まれる。FPGA/データ取得システムにより、観測された電子温度分布の時間変化から、磁気島 (NTM) 位置、その回転周波数、回転位相を求め、モード抑制に必要な入射アンテナ位置制御、さらに磁気島 O 点に同期した電力変調制御を行う。磁気島 O 点に同期した入射電力変調実験の結果を示す (図 3)。600 kW の中性粒子入射ビームで加熱されたプラズマで 2/1 モードの NTM が発生している。初期の NTM 周波数は 1 kHz 程度であるが、その後 4 kHz 程度に変化する。ECCD 入射を磁気島 O 点に同期させるため、NTM 周波数の検出に加え、位相ロック (PLL) 用の遅延位相演算が FPGA システムの制御閉ループに組み込まれている。NTM 周波数の変化に応じて、磁気島 O 点に PLL 同期し、ECCD 入射電力が同期変調制御されている。ECE 観測が ECCD 入射ビームと同一視野で、磁気島観測位置と入射位置の関係を磁気面解析で求める必要がない、FPGA 制御に最も有利な制御例を示した。現状の実時間制御の要素研究の範囲では、FPGA 演算の高い並列・実時間性は必須ではないが、DEMO 炉で求められる複合制御ではその高い並列・実時間性が有用となると考える。先に紹介したように、九州大学ではプラズマ位置・断面形状解析を FPGA ボードで行うようシステム開発を進めており、FPGA ボードの組み合わせのみで、磁気面解析と並行した NTM 抑制の実時間制御も可能である。FPGA ボード間のデータ共有は次章で、FPGA の組み合わせ解析は 5.4 節の MHD 安定性の

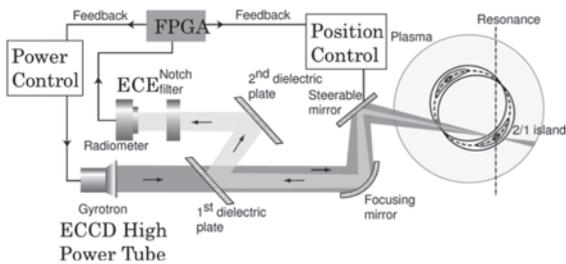


図 1 TEXTOR 装置における電子サイクロトロン輻射 (ECE) 計測の電子サイクロトロン電流駆動 (ECCD) ビームとの同一視野システム。[reproduced with permission from B.A. Hennen *et al.*, Plasma Physics and Controlled Fusion 52 (2010).]

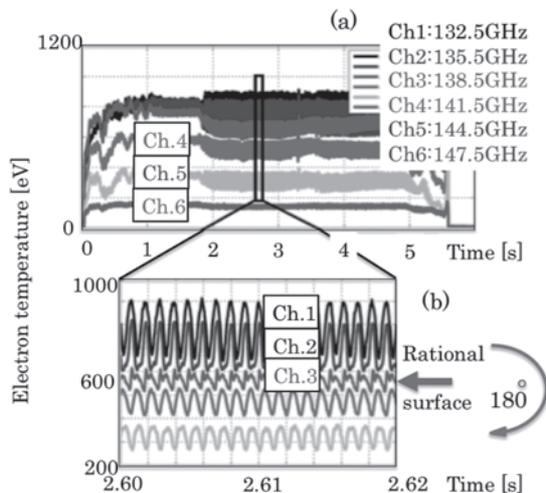


図 2 NTM 発生時の ECE 計測で求められた電子温度分布の時間変化。6 チャンネルの ECE 信号が FPGA/データ取得システムに取り込まれている。[reproduced with permission from B.A. Hennen *et al.*, Plasma Physics and Controlled Fusion 52 (2010).]

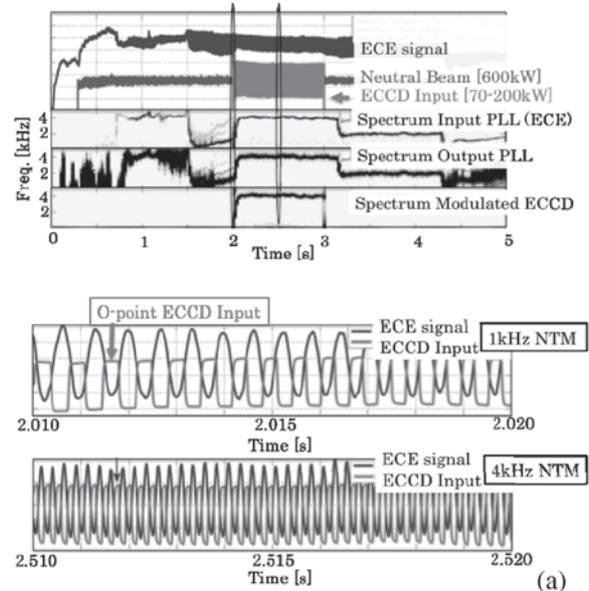


図 3 (a) 観測 ECE, 中性粒子ビーム入射電力, ECCD 電力の時間変化。中性粒子入射ビームで加熱されたプラズマで 2/1 モードの NTM が発生している。(b) 放電時間 2 s、2.5 s 付近での観測 ECE, ECCD 入射電力の時間変化。各々、1 kHz、4 kHz で観測されている磁気島 O 点に PLL 同期して ECCD 電力が変調入射されている。[reproduced with permission from B.A. Hennen *et al.*, Plasma Physics and Controlled Fusion 52 (2010).]

裕度計算の予測機能への組み込みでも触れる。

5.3 高速データ転送によるデータ共有

燃焼・高ベータプラズマの実現のための実時間制御では、多くの計測器を用いる。例えば、プラズマ位置・形状（最外殻磁気面・ダイバータセパトリックスを含む）制御用に磁気センサ、プラズマ電流制御用にロゴスキーコイル、電流分布制御用にモーショナルシュタルク分光(MSE)、密度制御用に干渉・反射計、イオン温度・回転制御用に荷電交換再結合分光(CXRS)、放射電力制御用にボロメータ、ベータ（プラズマ圧力）制御用に反磁性ループ、電子温度・NTM制御用にECE等の計測データ取得が必要となる。これまでの章で主に説明されたJT-60U装置での制御実験では2 MB/s程度の計測データが用いられている。これらの制御に用いられるデータ量は決して大きくないが、実験解析にも当然用いられるため、データ取得システムと制御システムのシームレスな融合が重要となる。

R-OSを有するコントローラ間で、高速なデータ共有（転送）を行うには、広くリフレクティブメモリが用いられている。例えば、ECE計測データを取得しているシステムのコントローラが、NTM抑制のための入射アンテナ位置制御システムのコントローラと異なる場合、NTM制御システムはリフレクティブメモリを用いて、ECEデータを参照する。リフレクティブメモリのデータ転送速度は概ね175 MB/sである。リフレクティブメモリを用いたデータ共有の概念図を図4に示す。高ベータプラズマの実現には、これまでの章で示された多様なプラズマ応答性、複合時定数を考慮した実時間制御による細密な分布統合制御が必要である。前章までに主に示されJT-60装置では、図4に示されたようリフレクティブメモリにより、必要なデータが共有（転送）され、これまでの章で示された制御実験が行われた。

FPGAシステムを考える場合、制御論理をFPGAのみで構成できるのであれば、R-OSを有するコントローラも不要になり、真の並列・実時間制御性が実現できる。Peer to Peerデータ転送機能を有するFPGAハードウェアにて制御論理を構築する場合には、リフレクティブメモリとは異なる高速なPXIExpressバス（PCIExpress規格をベースにした計測制御システム用のバス）が利用できる。この場合、

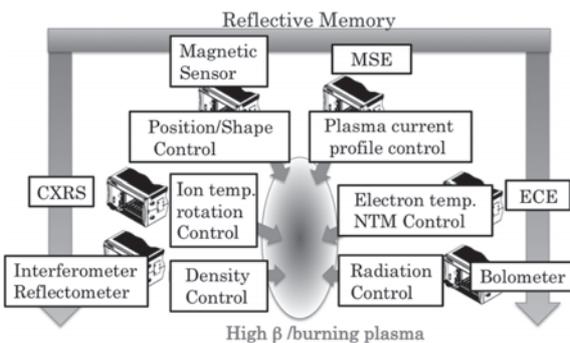


図4 R-OSを有するコントローラ間でのリフレクティブメモリを用いたデータ共有の概念図。

コントローラのOSを介さず、PXI Express スロット間で800 MB/sのデータ共有（転送）が可能である。1台のシャーシにFPGA/データ取得ボードが納められない場合には、拡張用ボードを用いて複数のシャーシを統合することもでき、FPGAハードウェア、PXIExpressバス規格によるデータ共有（転送）のみで、並列・実時間制御性の高いシステム設計を考えることができる。拡張バスを含めて同一システム内で共有（転送）されたデータは、コントローラのR-OSを介して、他のコントローラのリフレクティブメモリでデータ共有することができる。この場合でも、コントローラのR-OSで実時間制御を行わず、FPGAボードで実時間制御の論理動作を行っていれば、R-OSで他の割り込み処理などは発生せず、十分に高い並列・実時間性をもってリフレクティブメモリのデータ共有（転送）が可能である。

5.4 実時間 MHD 安定性裕度計算への取り組み

燃焼・高ベータプラズマの実現には、運転シナリオに沿った分布制御に加え、異常の検知・回避が必要となる。燃焼プラズマでは、場合によっては、計測できるプラズマパラメータに制約が起きることも懸念され、実時間でその時点での状態を評価し、次のプラズマの振る舞いを予測する「予測機能」が重要となる。現在、MHDの安定性解析を実時間・予測制御に組み込めるよう、解析システムの開発が進められている。理想MHDの安定性解析は、固有値問題に帰着するが、トカマクプラズマでは一般にMHDモードが安定であることを陽に数値的に同定すること、つまり正の固有値を任意の状態に対して求めることが困難である。しかしながら、安定性解析結果を”予測”に利用するためには、”現在安定であるプラズマがどの程度変化したら不安定になるか”を知ることが不可欠であり、上記の課題を克服した安定性解析手法の開発が求められる。さらに次の段階として、この解析手法（固有値問題）を如何に高速に解くかが鍵となる。これらの課題を克服した数値解析コードとして、近年MARG2Dコードが開発された[5]。この数値コードでは、プラズマが安定であるか不安定であるかを同定することに焦点を絞った定式化を行うことで、プラズマが安定であることを数値的に同定すること、さらに得られた固有値を安定の度合いを示す裕度を求めることを実現している。さらに、このMARG2Dの数値モデルは従来のMHD安定性解析コードよりも解析的に解き進めたモデルであるため、固有値を求めるための計算時間が大幅に短縮されており、従来のERATOJコード[6]に比べて計算時間を1/40程度に大幅に短縮することに成功している。また、MARG2Dコードはすでに実験解析および炉設計に利用されるまでに至っており、例えばコンパクトなDEMO炉として検討されたSlimCS炉での β_N 上限の検討にも用いられている[7]。このような炉設計に用いられる解析コードを高速に解析・処理し、刻一刻と変わるプラズマパラメータを用いてMHD安定性を議論できれば、炉心プラズマの数値実験に基づく異常の検知・回避が期待できる。また、この数値コードの更なる高速化をめざした研究も進め

られている。固有値問題は、行列積、LU 分解、前進・後退代入といった並列化が可能な演算が主であるため、並列化の固有値問題ソルバーの開発も併せて進められてきた。具体的には、将来の DEMO 炉では制御対象の時定数が 3 - 5 秒程度であるため、その 1/10 程度をめざし、1 秒以下の時間内に解析計算を終えることが目標である。これまでに、64 CPU を持つスーパーコンピュータでの解析演算も試行されたが、実験に同期させ専有で安定化解析することは難しく、専用計算機のハードウェアとして FPGA システムが検討された。また、LU 分解 FPGA ボード、前進・後退代入 FPGA ボード等を準備し、マルチ CPU での演算に匹敵する速度で安定化解析が行えると検討された。

専用計算機となる FPGA ハードウェアでの安定化解析で、その並列計算処理による有効性が示されたが、さらに、並列計算に威力を発揮する GPU や Cell Broadband Engine [PowerXCell 8i] (以下、Cell とのみ表す) といったマイクロプロセッサによる安定性解析が検討されている。GPU はその名が示すとおり、パソコンやワークステーションでの画像処理を行うために開発されたグラフィック・アクセラータに端を発するもので、並列処理を可能とする数百程度の演算器を実装するマイクロプロセッサである。ゲーム機での 3 次元グラフィック描画に必要とされる要求に合わせ、近年、通常の CPU 発展のムーアの法則を越える勢いでその性能を向上させている。汎用 PC OS で用いることができる標準的な C 言語コンパイラも準備されており、最近、科学・研究計算にも利用されるようになってきた。Cell は、ソニーエンターテインメント (SCE)、ソニー、IBM、東芝によって開発された、PowerPC 64 bit をベースに 8 個の計算アクセラレーターコアを搭載したヘテロジニアスマルチコアプロセッサである。Cell は身近なところで SCE のゲーム機 PS3 に採用されている。また、世界で初めてベタフロップスの壁を突破した、ロスアラモス国立研究所のスーパーコンピュータ Roadrunner (2010年 8 月現在、世界第 3 位) にも搭載され、計算能力は高く評価されている。現在、MARG2D コード解析を Cell システムで行う検討が進められている。Cell システムを複数台ギガビットイーサネットに接続し、クラスター化することで、高速演算をめざしている [8]。安価なネットワークでも台数に比例した性能を実現できるようプログラミングに工夫をしており、高いコストパフォーマンスが期待できる。

5.5 複合・予測機能制御での課題

広域な空間的連結性、異なる時定数をもつプラズマの制御応答を考えれば、複合・実時間制御において、その制御目標を修正しつつ、最適なプラズマパラメータを得ることが重要となる。2 章で同時達成が望まれる制御目的が示されている。これまでに進められてきた実時間制御の要素研究では、複数の制御目的を達成する、複合制御環境下での制御安定までの「制御パス」はあまり議論されてこなかった。制御対象をプラズマの密度、圧力、回転といった個々のパラメータを取った場合、プラズマの応答が複雑であったとしても、その応答性を考慮した制御パスは、3 章で示され

た応答特性の要素研究から考えることができる。しかし、達成が必要な制御目的が複数となる場合、制御パスを模索する過程が必要となる。個々の実時間制御で考えられていた制御パスを修正しつつ、最終的には複数の制御目的を達成する必要がある。制御安定の目標値を予め与え、それに沿うようアクチュエータを駆動するこれまでの制御に加え、新たな複合制御への取り組みが必要と考える。制御パスの模索といった過程を考える際、FPGA ハードウェアなどの高い並列・実時間性をもったシステムでの演算・制御が重要であろう。

燃焼プラズマ・DEMO 炉運転では、プラズマパラメータを実時間評価し、その後の振る舞いを予測し、異常の検出・回避を行う必要がある。想定された運転を逸脱した場合に、目標修正によっても制御が困難と判断されれば、安全に運転を停止させなければならない。予測機能といった複雑な演算・判断を行うことは、さながら数値計算でプラズマ実験を模擬し、パラメータ評価・予想していくことに他ならない。DEMO 炉での運転は、運転・制御上、簡素であることが望まれるが、その実現には予測機能の充実が不可欠である。また、運転・制御に用いることができる計測は、高い中性子束、狭い真空容器開口部面積等から制約を受け、少ない計測データから安全・安定な運転制御を核融合炉運転で実現する必要がある。MHD 安定性裕度解析といったような高度な演算等に基づく、予測機能を組み込んだ実時間制御システムの開発が切に待たれる。

本章執筆にあたり、その機会を与えていただき、ご協力いただきました日本原子力開発機構：鎌田裕博士、制御全般にわたりご意見をいただき、ご協力いただきました日本原子力開発機構：栗原研一博士、九州大学応用力学研究所：中村一男博士に感謝いたします。電子サイクロトロン加熱・電流駆動システムの実時間制御については日本原子力開発機構：諫山明彦博士、FPGA システムについては、日本ナショナルインスツルメンツ：櫻井淳彦氏にご意見をいただきました。また、JT-60U システムの制御・データ取得に関し、日本原子力開発機構の方々から資料をいただきました。MARG2D コード解析では、日本原子力開発機構：相羽信行博士、武宮博博士にコメントをいただきました。本小特集の企画では、日本原子力開発機構：神谷健作博士にご尽力いただきました。ここに感謝申し上げます。

参考文献

- [1] 秋山雅裕他：プラズマ・核融合学会誌 85, 631 (2009).
- [2] 例えば、J.I. Paley *et al.*, Nuclear Fusion 49, 085017 (2009).
- [3] B.A. Hennen *et al.*, Plasma Physics and Controlled Fusion 52 (2010) 印刷中.
- [4] W.A. Bongers *et al.*, Fusion Sci. Technol. 55, 188 (2009).
- [5] S. Tokuda *et al.*, Phys. Plasmas 6, 3012 (1999).
- [6] R. Gruber *et al.*, Comput. Phys. Commun. 21, 323 (1981).
- [7] K. Tobita *et al.*, Nuclear Fusion 49, 075029 (2009).
- [8] N. Kushida *et al.*, Proc. of The 18th Euromicro International Conference on Parallel, Distributed and Network-Based Computing (2010) 482.